

MOS TRANSISTOR

Patent Number: JP1061953
Publication dat : 1989-03-08
Invent r(s): KAWAGUCHI TOSHIHIKO
Applicant(s):: VICTOR CO OF JAPAN LTD
Requested Pat nt: ☐ JP1061953
Application Number: JP19870219676 19870902
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE:To form a gate without providing an impurity diffusion layer of low concentration and prevent hot carriers from being produced in a depletion layer of a drain junction, by forming the gate such that a gate length is uniform over the whole of the gate and a gate width is wider on the drain side of the gate than on the source side.

CONSTITUTION:A gate 1 is formed such that its length l1 is uniform over the whole of the gate 1 and a gate width l2 on the drain 2 side is wider than a gate width l3 on the source 3 side. Hereby, density of an electric field in the vicinity of the junction of the drain 2 is reduced. This is because a junction area on the drain 2 side is increased by making the width of the gate 1 wider on the drain 2 side and hence extension of the depletion layer on the drain 2 side is reduced.

Data supplied from the **esp@cenet** database - 12

⑫ 公開特許公報(A)

昭64-61953

⑪ Int.Cl.⁴

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

X-8422-5F

⑬ 公開 昭和64年(1989)3月8日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOSトランジスタ

⑮ 特 願 昭62-219676

⑯ 出 願 昭62(1987)9月2日

⑰ 発 明 者 川 口 俊 彦 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑱ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

明 細 書

1. 発明の名称

MOSトランジスタ

2. 特許請求の範囲

ゲート長がゲート全体において等しく、ゲート幅が前記ゲートのドレイン側においてソース側より広いことを特徴とするMOSトランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSトランジスタに係り、特にドレイン接合付近の電界強度の集中を緩和した高信頼性MOSトランジスタに関する。

(従来の技術)

半導体装置、特にMOSトランジスタにおいては微細化、高集積化に対する要求が益々強く、そのゲート長が1 μ mに近いものが現われている。

しかし、従来のMOSトランジスタにおいては、使用上の制約からドレイン電圧を5V以下に下げられないため、ゲート長が約1.5 μ m以下、ドレイン接合深さが約0.4 μ m以下になると、ド

レイン接合のゲート側に著しい電界の集中が起こる。

この電界の集中により、ドレイン接合の空乏層内でホットキャリアが発生する。このホットキャリアはゲート絶縁膜内に入り込み、相互コンダクタンス、しきい値電圧等の変動を招き、使用時間の経過に伴うドレイン電流の低下の原因となっており、MOSトランジスタの信頼性を大きく損っている。

このホットキャリアの発生を防止するために、ドレインとチャンネルの間に低濃度不純物拡散層を設け、ドレイン接合のゲート側における電界の集中を緩和するLDD(Lightly Doped Drain-Source)構造、二重拡散構造等のMOSトランジスタが提案されており、一部実施もされている。

(発明が解決しようとする問題点)

ところで、前記したLDD構造、二重拡散構造等のMOSトランジスタは、従来構造のMOSトランジスタに比べ、その製造工程において、低濃

度不純物拡散層を設けるための工程が増加している。

しかしながら、微細化が益々進みつつあるMOSトランジスタにとって、工程の増加は加工精度の低下、使用薬品による汚染等を招き、生産における大きなポイントである歩留りを大きく低下させるといった問題点がある。

そこで、本発明は上記従来技術の問題点を解決して、低濃度不純物拡散層を設けることなく製造できる、ドレイン接合の空乏層内でのホットキャリアの発生を防止した高信頼性MOSトランジスタを提供することを目的とする。

(問題点を解決するための手段)

本発明は上記の目的を達成するために、ゲート長がゲート全体において等しく、ゲート幅が前記ゲートのドレイン側においてソース側より広いことを特徴とするMOSトランジスタを提供するのである。

(実施例)

第1図は本発明になるMOSトランジスタの一

例を示す図、第2図は第1図に示すMOSトランジスタのゲート付近の電位、 E_2 …従来のMOSトランジスタの電位。

(発明の効果)

以上の如く、本発明になるMOSトランジスタはゲート長がゲート全体において等しく、ゲート幅が前記ゲートのドレイン側においてソース側より広くなるようにしたので、低濃度不純物拡散層を設けることなく製造できるドレイン空乏層内でのホットキャリアの発生を防止したMOSトランジスタであり、工程の増加による加工精度の低下、使用薬品による汚染等がないため、製造において歩留りを低下させることなく、信頼性を向上できるといった特長を有する。

4. 図面の簡単な説明

第1図は本発明になるMOSトランジスタの一実施例を示す図、第2図は第1図に示すMOSトランジスタ及びゲート幅がゲート全体において等しい矩形ゲートを備えた従来のMOSトランジスタのゲート付近における電位を示す図である。

1…ゲート、2…ドレイン、3…ソース、 E_1

実施例を示す図、第2図は第1図に示すMOSトランジスタ及びゲート幅がゲート全体において等しい矩形ゲートを備えた従来のMOSトランジスタのゲート付近における電位を示す図である。以下、同図と共に本発明になるMOSトランジスタについて説明する。

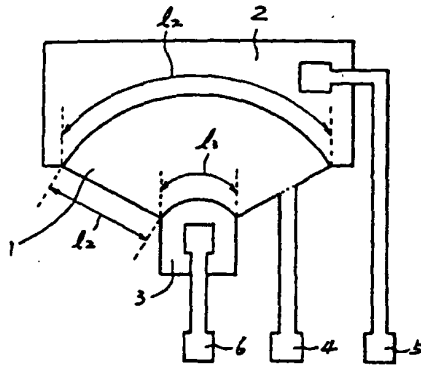
第1図において、1はゲートであり、その長さ L_1 はゲート1全体において等しくなっており、ドレイン2側のゲート幅 L_2 はソース3側のゲート幅 L_1 より広くなっている。4はゲート電極、5はドレイン電極、6はソース電極である。

ゲート1を同図に示す形状にする事により、第2図中の E_2 に示す従来の矩形ゲートを備えたMOSトランジスタの電位及び同図中 E_1 に示す第1図のMOSトランジスタの電位より読み取られる如く、ドレイン2の接合付近における電界の集中が第1図に示すMOSトランジスタにおいてはかなり緩和されている。

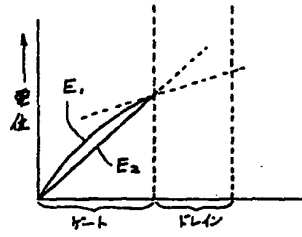
これは、ゲート1のドレイン2側における幅を広くすることにより、ドレイン2側の接合面積が

特許出願人 日本ビクター株式会社

代表者 垣木 邦夫



第1図



第2図